

⑫ 公開特許公報(A)

昭62-287696

⑬ Int. Cl.⁴

H 05 K 3/46

識別記号

庁内整理番号

N-7342-5F
Y-7342-5F

⑭ 公開 昭和62年(1987)12月14日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 多層印刷配線板の製造方法

⑯ 特 願 昭61-131384

⑰ 出 願 昭61(1986)6月5日

⑱ 発 明 者 本 田 一 夫 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

多層印刷配線板の製造方法

2. 特許請求の範囲

多層印刷配線板の対向する周辺部のほぼ中央に穿孔した一対の孔に、断面十字状に貫通植立させた位置決めピンと、前記位置決めピンの突出部と一致する貫通孔を設けたテーブルに、前記位置決めピンと貫通孔を基準として前記配線板を吸盤固定する工程と、前記配線板の厚みの略1/2までドリルで穿孔して第1の穴を孔あけする工程と、前記配線板を反転させて前記位置決めピンと貫通孔とを基準に第1の穴と同位置に配線板の他面より第1の穴の径よりわずかに大きな径のドリルを用いて第2の穴を穿孔してスルーホール貫通孔を形成する工程とを有することを特徴とする多層印刷配線板の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は多層印刷配線板(以後、多層基板と称す)の製造方法に係わり、とくにスルーホール貫通孔の孔あけ方法に関する。

〔従来の技術〕

近年、コンピューター、通信機等機器の小形化・軽量化を目的として、これらの機器に使用される多層基板も回路の高密度化、効率化をはかるため3層乃至6層の多層基板から8層乃至20層の多層基板へと高多層化の傾向が見られる。このため、多層基板の厚さは通常の1.6mmから3乃至6mmと高板厚化されてきている。一方、これに反してスルーホール(多層基板の内層と外層の回路を導通させる貫通孔で基板を孔あけした後、無電解めっき等により、電気接続させて形成する)の孔径は0.3乃至0.6mmと小径化する傾向となってきた。

さらに回路パターンの高密度化、高微細化により当然ながらスルーホールの孔あけ位置の精度の

向上が必要となってきた。従来、多層基板にスルーホール用の孔を穿孔するには、数値制御装置付きのボール盤等を使用し、多層基板の上面からドリルを往復1回上下動させて貫通孔を形成していた。

〔発明が解決しようとする問題点〕

このため、 $\phi 3$ 乃至 $\phi 6$ の小径のドリルで高板厚の多層基板を孔あけする際、小径ドリルの強度不足によりドリルが曲がり易く、孔位置精度の低下やドリルの折損が発生し易いと云う欠点を有していた。

〔問題点を解決するための手段〕

本発明の目的はこれら従来の欠点を解消した多層基板の製造方法を提供することにある。

本発明によれば、多層印刷配線板の対向する周辺部のほぼ中央に穿孔した一対の孔に、断面十字状に貫通直立させた位置決めピンと、上記位置決めピンの突出部と一致する貫通孔を設けたテーブルに、上記位置決めピンと貫通孔を基準として上記配線板を載置固定する工程と、上記配線板の厚

位置決めピン1を反対方向、すなわち上面部に突出する様に移動させた後、多層基板2を反転して再びテーブル3上に位置決め固定する。従ってテーブル3上の多層基板2のセット状態は第1の穴6の穴あけ時と比べ、上下両面の位置は逆となるが、それ以外は第1図および第2図と同じ状態である。

次に第4図の如く第1の穴6と同位置に第2の貫通孔7の孔あけを行う。

この際、第1の穴6の穴あけ時と同じ径のドリル5を使用するとドリル5の曲がりやボール盤のテーブル3の位置決め精度の誤差などにより第5図の如く孔壁内に段差部8が生じる。この現象を避けるため、本発明による孔あけ方法に於いて第2の貫通孔7の孔あけに使用するドリル5は第1の穴あけに使用したドリル5の径よりわずかに大きな径のものをを用いる。

本方法によれば従来の孔あけ方法に比べ貫通孔7の孔あけ時のドリル5の切削抵抗は未貫通の穴6があいているために軽減され、かつ切粉の量も半減する。従ってドリル折れが生じて今迄困難で

みの略1/2までドリルで穿孔して第1の穴を孔あけする工程と、上記配線板を反転させて上記位置決めピンと貫通孔とを基準に第1の穴と同位置に配線板の他面より第1の穴の径よりわずかに大きな径のドリルを用いて第2の穴を穿孔してスルーホール貫通孔を形成する工程とを有することを特徴とする多層印刷配線板の製造方法が得られる。

〔実施例〕

以下、本発明について図面を参照して説明する。

第1図は多層基板をボール盤等のテーブルに位置決め固定した状態を説明する平面図であり、第2図はその側面図である。先ず一対の位置決めピン1を多層基板2の下面より突出するように直立させ、この位置決めピン1をボール盤等のテーブル3に設けた一対の基準孔4に挿入して、多層基板2をテーブル3上に位置決めした状態で固定する。

次に、第3図の如く多層基板2の板厚の略1/2までドリル5により第1の穴6の穴あけを行う。次に、多層基板2をテーブル3より取り外し、位

あった極めて小径のスルーホール用孔あけも容易に可能となる。また、従来の孔あけ方法によればドリル5の曲がり作用により上面の孔の位置精度より下面の孔の位置精度が極端に悪化する傾向が見られるが、本発明による孔あけ方法によれば第1の穴6が第2の貫通孔7の案内の役目をするため、ドリル5の曲がりが矯正される効果がある。従って多層基板の表裏面共にほぼ同等の孔の位置精度が得られる。

〔発明の効果〕

以上説明したように本発明によれば、高板厚の多層基板の比較的小径のスルーホール貫通孔の孔あけに於いてのドリル折れを低減することができ、多層基板の表裏面の孔の位置精度の向上ができる等の効果がある。

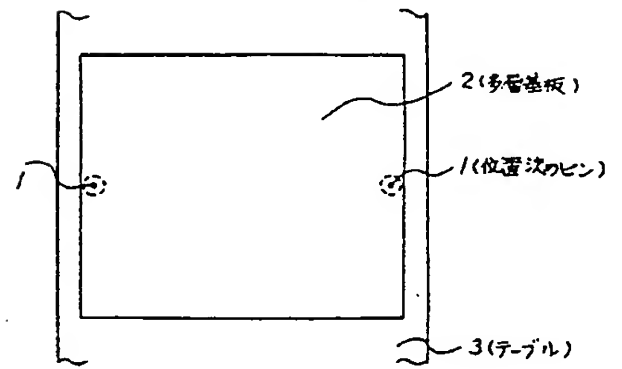
4 図面の簡単な説明

第1図は多層基板をボール盤等のテーブルに位置決め固定した状態を説明する平面図、第2図は第1図の側面図、第3図および第4図は本発明に

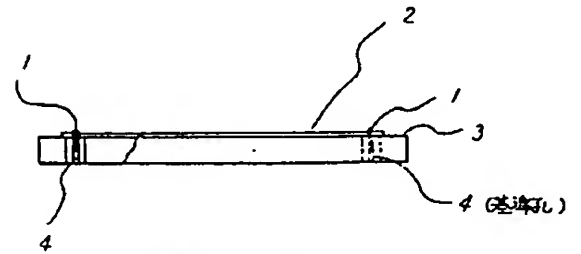
よる孔あけ方法を説明した断面図、第 5 図は従来例の段差部を有する貫通孔の拡大断面図である。

図中の符号、1 --- 位置決めピン、2 --- 多層基板、3 --- テーブル、4 --- 基準孔、5 --- ドリル、6 --- 穴、7 --- 貫通孔、8 --- 段差部。

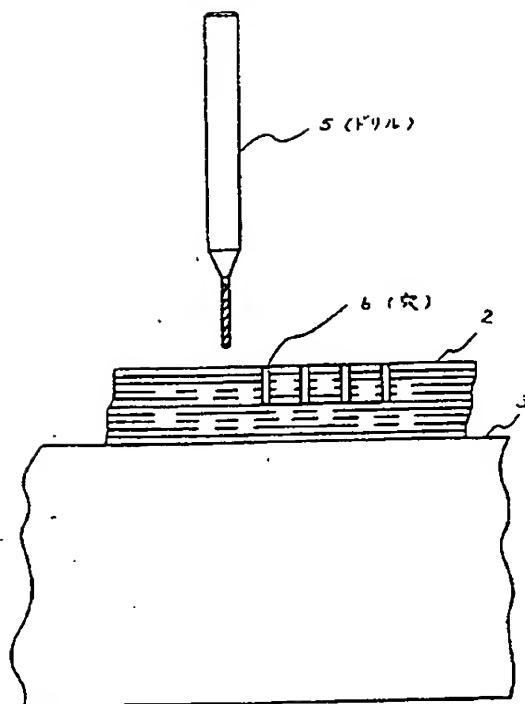
代理人 弁理士 内 原 晋



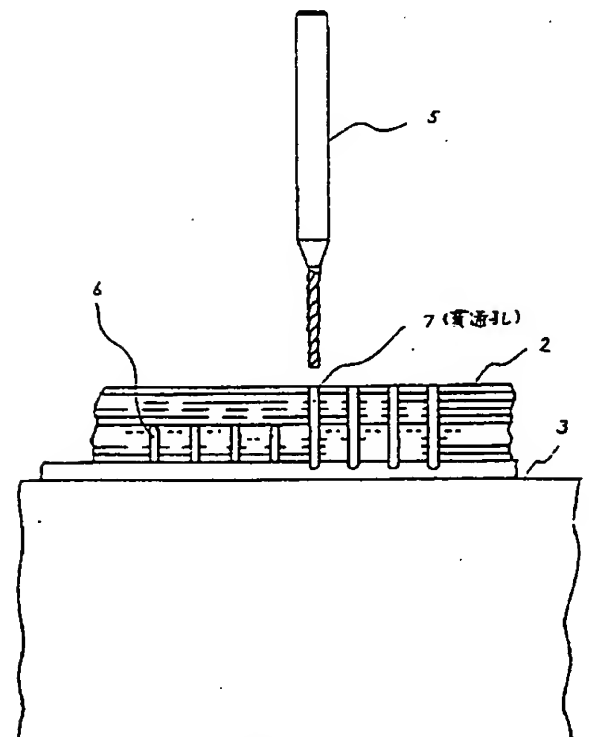
第 1 図



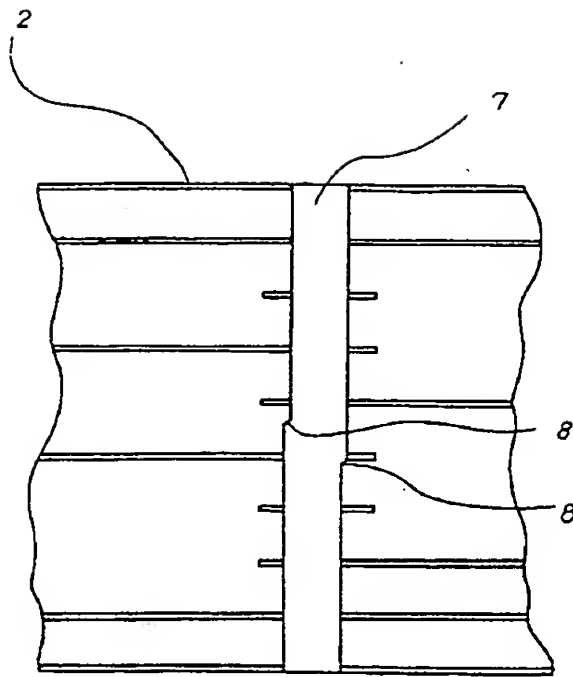
第 2 図



第 3 図



第 4 図



第 5 図

5/3,AB,LS/1 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

02370796

MANUFACTURE OF MULTILAYER PRINTED INTERCONNECTION BOARD

PUB. NO.: 62-287696 A]
PUBLISHED: December 14, 1987 (19871214)
INVENTOR(s): HONDA KAZUO
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 61-131384 [JP 86131384]
FILED: June 05, 1986 (19860605)

5/3,AB,LS/2 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

007392139

WPI Acc No: 1988-026074/ 198804

Multilayer printed wire substrate mfr. - fixing wiring plate w.r.t. pin
and through hole NoAbstract Dwg 3/5

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 62287696	A	19871214	JP 86131384	A	19860605	198804 B

Priority Applications (No Type Date): JP 86131384 A 19860605

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 62287696	A		4		

5/3,AB,LS/3 (Item 1 from file: 345)
DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2001 EPO. All rts. reserv.

Acc no: 8014695

Basic Patent (No,Kind,Date): JP 62287696 A2 871214

<No. of Patents: 001>

MANUFACTURE OF MULTILAYER PRINTED INTERCONNECTION BOARD (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): HONDA KAZUO

IPC: *H05K-003/46;

Derwent WPI Acc No: G 88-026074

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 62287696	A2	871214	JP 86131384	A	860605 (BASIC)

Priority (No,Kind,Date): JP 86131384 A 860605